

CLIPPEDIMAGE= JP357043473A
PAT-NO: JP357043473A
DOCUMENT-IDENTIFIER: JP 57043473 A
TITLE: NON-VOLATILE MEMORY WITH HIGH IMPURITY DENSITY REGION

PUBN-DATE: March 11, 1982

INVENTOR-INFORMATION:

NAME
HAYASHI, YUTAKA
TARUI, YASUO
NAGAI, KIYOKO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
AGENCY OF IND SCIENCE & TECHNOL	N/A

APPL-NO: JP56108382
APPL-DATE: July 11, 1981

INT-CL (IPC): H01L029/78; G11C011/40 ; H01L027/10
US-CL-CURRENT: 257/315

ABSTRACT:

PURPOSE: To enable the erasure and rewriting of stored content in a non-volatile memory by forming the second electrode further on a silicon oxidized film.

CONSTITUTION: Drain and source regions 25, 26 are formed at the predetermined interval in a semiconductor substrate 24, and a gate insulating film 22, the first gate electrode 28, an insulating film (silicon oxidized film) 27 and the second gate electrode 23 are laminated between the regions 25 and 26 on the substrate 24. Then, a pinch-off region 31 is formed on the substrate 24, and to set the potential of the region 31 to a voltage adapted to reach the first gate electrode 28, the impurity density of the region 31 and the vicinity are increased from that of the other part. Thus, the writing and rewriting of information can be effectively performed as required merely by altering the

bias condition, and information once written can be retained
without
application of bias.

COPYRIGHT: (C)1982,JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—43473

⑬ Int. Cl.³
H 01 L 29/78
G 11 C 11/40
H 01 L 27/10

識別記号

1 0 1

庁内整理番号

7514—5 F
6549—5 B

⑭ 公開 昭和57年(1982) 3月11日

発明の数 1
審査請求 有

(全 14 頁)

⑮ 高不純物濃度領域を有する不揮発性メモリ

東久留米市南沢5丁目6番4号

⑯ 特 願 昭56—108382

⑰ 発 明 者 永井清子

⑱ 出 願 昭46(1971) 6月29日

調布市染地3丁目1番180号多

⑲ 特 願 昭55—26398の分割

摩川住宅ト12—205

⑳ 発 明 者 林豊

㉑ 出 願 人 工業技術院長

保谷市本町4丁目9番14号

㉒ 指定代理人 工業技術院電子技術総合研究所
長

㉓ 発 明 者 垂井康夫

明 細 書

1. 発明の名称

高不純物濃度領域を有する不揮発性メモリ

2. 特許請求の範囲

(1) 第1の半導体領域と、この第1の半導体領域に離間して形成されたドレイン領域及びソース領域と、少なくとも前記ドレイン領域・ソース領域間の第1の半導体領域表面に付着されたゲート絶縁膜及びこれと連続した絶縁膜と、前記ゲート絶縁膜及びこれと連続した絶縁膜間に埋め込まれた第1のゲート電極から少なくともなり、前記ソース領域・ドレイン領域間の前記第1の半導体領域表面の少なくとも一部に前記第1の半導体領域と同一導電形の高不純物濃度領域を設けたことを特徴とする不揮発性メモリ。

(2) 連続した絶縁膜は、第1のゲート電極に対応する第2のゲート電極をその表面に具備したことを特徴とする特許請求の範囲第(1)項に記載の高不純物濃度領域を有する不揮発性メモリ。

3. 発明の詳細な説明

半導体メモリは、蓄えられた情報が電気信号として容易且高速度で取り出せること、集積回路(以下ICと称す)技術の発達により大規模集積(以下LSIと称す)されるようになり、ビット密度、信頼性が向上したこと等の理由により、最近電子計算機の高速用メモリ装置として用いられている。

しかしながら半導体メモリは、磁性メモリと異なり、バイアス電極の供給が断たれると、記憶内容が消えてしまう(以下揮発性と称す)という欠点を有していた。この欠点のない半導体メモリを得べく、従来、例えばカルコゲナイドガラス等の半導体ガラスの記憶作用についての研究がなされているが、未だ実用段階には至っていない。

又揮発性のない半導体メモリとして、シリコン半導体ICの分野に於て、金属(M)・シリコン窒化膜(N)・シリコン酸化膜(O)・シリコン(S)の構成を有するMNOS電界効果トランジスタが開発されたが、この場合、シリコン酸化膜(SiO₂)

を半導体表面のキャリアがトンネルする程度に薄くしなければならないので、このシリコン酸化膜にピンホール等が生じ易く、しかも記憶機構がトラップ単位によるために生産性、再現性が劣ることとなるおそれがあり、為に電子計算機には実用化されていない。

ところでこれ等以外の半導体メモリの分野として、半導体メモリの高ビット密度、高速性を活かして固定記憶内容を読み出す様になされた読み出し専用メモリ(以下ROMと称す)がある。このROMの構成方法には2種類あり、その1つはICを作る際のホトエッチに用いるガラスマスクに固定情報をもたせる方法である。他の1つはICを作る際には記憶すべき内容に関係なく一様に製作し、その後記憶すべき内容に応じて電氣的に情報を書き込む方法である。

後者の方法は更に3つの方法が知られている。すなわちその第1の方法は配線を電流パルスで溶断する方法であり、第2の方法はアルミナのトラップによる記憶特性を用いる方法であり、第3の

き、遂にはなだれ降服の臨界電界に達する。このときこの部分9には第1図(B)に示す如く電子10及び正孔11の電子・正孔対が発生し、基板1が例えばn形の場合は電界により電子10が矢12に示す如く酸化膜4の方向へ加速され、これにより高いエネルギーを得て酸化膜4の中へ注入される。この様にして注入された電子10は酸化膜4を通過してシリコン多結晶層6に到達し、これを負に帯電させる。一方正孔11は電界によつて矢13の如くドレイン領域2に運ばれる。

かくしてシリコン多結晶層6の充電状態を得ることにより情報の書き込みをなし得、一方かくして一旦書き込まれた情報は、電界効果トランジスタ7に紫外線又はX線を照射することにより、原理的には消すことができる。しかし一般にかかる半導体メモリは、これを実際の装置に使用する際には、パッケージ内に収納された形で装置の筐体内に固定配線されるので、かくして装置内に組込まれたパッケージを情報の書換え毎にその都度取り出してX線の照射を行うことは、實際上極めて

方法はチャネル電流が流れないときのMOSトランジスタのドレイン及び半導体基板間接合のアバランシェ降服により、半導体基板と同一形のキャリアを酸化膜中に注入し、このキャリアにより酸化膜中に埋込まれた多結晶シリコン薄膜層を充電して情報を書き込む様になされた方法である。

本発明はこれ等3つの方法中の第3の方法を改良した、更には新しい書込・書換え方法に関連するもので、先ず第1図について、従来の方法を更に詳述する。この場合、第1図(A)に示す如く、基板1に、その伝導形とは反対の伝導形を有し且不純物濃度の異なるドレイン領域2及びソース領域3と、ゲートシリコン酸化膜4と、シリコン酸化膜4及び5間に埋込まれたシリコン多結晶層6とでなる電界効果トランジスタ7を形成する。この電界効果トランジスタ7に於て、ドレイン電圧を増加して行くと、ドレイン領域2から基板1中に空乏層8が拡がって行くが、特にシリコン多結晶層6の下の部分9には矢示する如く電界が集中して空乏層8の他の部分よりも高電界となつて行

困難であり、更にはメモリ中の任意のビットのみを選択的に書き直しを行うことは實際上不可能に近い。

依つて本発明は上述の点を考慮し、例えばパッケージが装置内に組込まれた場合にもそのままの状態、情報を書き込むことは勿論、情報の書き直しをもなし得る様にした不揮発性メモリの書込・書換え方法更には従来にない新しい書込・書換え方法及びこれを実現する記憶装置を提供するものである。

本発明の基本的な特徴は、半導体基板内に高電界領域を形成し、こゝで互に異なる符号を有する2種のキャリアの何れか一方を書き込むべき情報に応じて選択し高エネルギー状態に加速して半導体基板の表面から絶縁膜内に該絶縁膜と上記半導体基板とで構成されるエネルギー障壁を超えて夫々注入することにより、夫々異なる充電状態を得る様にし、かくして記憶内容を消去又は書き直し得る様にしたものである。

又本発明に於ては、半導体基板内のキャリアを

絶縁膜内に注入する第1の新しい方法として、電界効果トランジスタのチャネルのピンチオフ（高電界速度飽和）領域にてホットキャリアを得てこれを注入する方法を採る。

更に本発明に於ては、キャリアを絶縁膜内に注入する第2の方法として、半導体基板内に2種の接合を形成し、これ等接合に順次なだれ降服を生起せしめることにより得られたキャリアを注入する方法を採る。

かかる本発明に依る書込・書換え方法の特徴は、以下図面と共に詳述する所より明らかとなるであろう。

先ず第2図について本発明に依る第1の記憶方法の一例について述べるに、この場合の記憶用電界効果トランジスタ21は、シリコン酸化膜でなる絶縁膜27上に第2のゲート電極23を設けたことを除いては、第1図の電界効果トランジスタ7と同様の構成を有する。

尚第2図に於て、22はゲート絶縁膜、24は半導体基板、25はドレイン領域、26はソース

領域、27は前記ゲート絶縁膜22に連続する絶縁膜、28は前記ゲート絶縁膜22及び絶縁膜27間に通込まれた第1のゲート電極、29は空乏層を夫々示す。

所で電界効果トランジスタ21のゲート絶縁膜22に基板24中のキャリアを注入するためには、キャリアに対して基板24及び絶縁膜22間の障壁を越えるに足りるだけのエネルギーを与える必要がある。この為第2図の場合は、ゲート電極28の1の充電状態を得べく、電界効果トランジスタ21をピンチオフの状態とし、これによりキャリアをチャネルのドレイン側近傍位置でホットキャリアとなし、これを絶縁膜22内に注入する。一方ゲート電極28の他の充電状態を得べく、ドレイン電圧を増大させ、ゲート電極28下の基板24の表面のドレイン領域25に接する部分でなだれ降服を生じさせ、これにより第1図の場合と同様に基板24の空乏層29内に生じたキャリアを絶縁膜22内に注入する。この場合前者により注入されるキャリアの電荷の符号は後者のそれと

は逆符号であり、従つて上述の1の充電状態にあるゲート電極28を、これとは逆符号の他の充電状態に転換せしめることができる。依つてトランジスタ21に一旦書き込まれた情報（即ちゲート電極28が1の充電状態にある）を消して、逆の情報を書き込む（即ちゲート電極28が他の充電状態にある）ことができ、勿論その逆もなし得る。

以上が第2図についての本発明方法の概要であるが、次にこれを実現する構成と共に更に詳細に述べる。第2図に於て先ずゲート電極23には通込まれたゲート電極28との間に矢示の如き電界を生ずる電位が与えられ、この電界に基づく電位が電極28に与えられる。一方基板24にはチャネル30が誘起され、このチャネル30のドレイン領域25側近傍にピンチオフ領域31を形成する。従つて電極28及び基板24間には矢示の如き電界が生じている。この状態に於ては、チャネル30のソース領域26側端に於けるキャリア密度 n_0 と、ピンチオフ領域31でのキャリア密度 n_p との間には、チャネル30中では電流連続の

関係が略々成立つと考えられるから、

$$n_0 v_0 = n_p v_p = \frac{I}{q}, \quad n_0 > n_p$$

（ここで、 v_0 はソース領域26側端でのキャリア速度、 v_p はピンチオフ領域31でのキャリア速度、 I はチャネルの電流）の関係があり、従つて $v_p > v_0$ となることは明らかである。このことは、ピンチオフ領域31では、チャネル30のキャリアが結晶中のキャリアのうち最高のエネルギーを持つてゐることを意味している。本明細書ではピンチオフ領域とはチャネルのキャリア速度が速度飽和に近くなりいわゆるホットになつたチャネル領域という広義の意味を持せる。

従つて領域31の電位が、絶縁膜22に埋設されている電極28の電位に較べて、ドレイン電圧の絶対値が大きくてもpチャネルの場合高く、又はnチャネルの場合低いのでピンチオフ領域31でエネルギーを得たキャリアは、ピンチオフ領域及びピンチオフ領域31よりソース側ではチャネル30又はピンチオフ領域31と電極28との間の電界により引込まれて絶縁膜22中に注入され、

加速されて電極 28 に到達することになり、結局第 1 のゲート電極 28 はチャネル 30 のキャリアと同符号の極性に充電される。

この結果トランジスタの第 2 のゲートからみたゲート閾値電圧はよりエンハンスメント方向に変化するので、第 2 のゲート電極の電圧を上記の書き込み前のゲート閾値電圧と、書き込み後のゲート閾値電圧との間の値に設定すれば、アレイ構成中の 1 つの番地のトランジスタの情報を複雑なユニットセル構成なしに読出すことができる。

次にこの充電状態に於て、第 2 のゲート電極 28 の電位を取り除き例えば基板 24 と同電位とし、ドレイン領域 25 に基板 24 との間の降服電圧以上の電圧を与える。かくすれば、ドレイン領域 25 及び基板 24 間になだれ降服が生じ、これにより電極 28 及び降服点間の電界に基づき、先にチャネル 30 から注入されたキャリアの電荷の符号とは逆符号の電荷のキャリアが電極 28 の方向に加速されて絶縁膜 22 中に注入され、結局電極 28 が先の充電状態とは逆極性に充電されることに

よい記憶用電界効果トランジスタを得ることができる。

更にホットキャリアの数はチャネル電流に比例するので、チャネル電流値が大きい程高速に第 1 のゲート電極を充電することができる。チャネル電流は基板から雪崩降服によつても供給されるが、ソース・ドレイン間に大きな電流を流し得るような第 2 のゲート電極 23 のバイアス条件であるので、ソース・ドレイン間に電流を流すことによつても充電が速められるのである。

第 3 図は第 2 図の構成の変形例で、この場合、絶縁膜 22 及び 27 内に埋設された電極 33 は、チャネル領域の一部を残した他の範囲にのみ重なる様になされた所謂オフセット構成となされている。この構成に依れば、第 2 図の効果を有すると共に、チャネル領域の残る部分と、これに対向するゲート電極 23 の部分との間に直接電界 34 が形成されることになるので、この電界によりピンチオフ領域 31 からのキャリアの注入効率を更に促進し得る。又この場合チャネル領域の残る部分

なる。

第 2 図については上述した第 1 の方法に依れば、情報の書き込み又は一旦書き込まれた情報の書き直しを単に記憶素子としての記憶用電界効果トランジスタのバイアス条件を変更するだけで所望に応じて確実になし得、しかも一旦書き込まれた情報は素子に対するバイアスを与えて置かなくとも、そのまま保持せしめることができる。従つてこの第 1 の方法による記憶用トランジスタを有する多数のメモリユニットセルを実際の装置に組込んだ場合にも、所望とするビットを選択して個別に情報の書き込み又は書き直しを極めて容易になし得る。

又この第 1 の方法を実現する第 2 図の構成に依れば、電極 28 を有するので、ピンチオフ領域 31 からのキャリアの注入に際して、電極 28 に対して注入されたキャリアを加速せしめる様な電位を与えることができ、これによりキャリアの注入速度及び効率の高い従つて第 1 のゲート電極 28 を十分に充電でき、従つて記憶素子として性能の

に、電界 34 によるチャネル 35 を誘起する様にし得るので、電界 34 を変更制御することにより、第 2 図の構成よりも更に確実に、電界効果トランジスタ 21 のオン、オフ動作をも制御し得る。

又第 4 図は第 2 図の構成の他の変形例で、この場合、電極 33 にその厚みを横切つて透孔 38 を設けたもので、かくすれば、電極 23 及び基板 24 の透孔 38 に臨んで対向する部分間に直接電界 37 が形成されるので、この電界 37 により基板 24 の透孔 38 に対向する領域にチャネル 38 が誘起されると共に、その両端位置に夫々対のピンチオフ領域 39 及び 39' を形成する様にし得る。従つて領域 39 及び 39' のホットキャリアは電界 37 により直接加速されることになるので、キャリアの注入速度及び効率を更に促進せしめ得る。

更に第 5 図は第 3 図の構成の変形例で、この場合電極 34 は、第 3 図に示すと同様のオフセット構造と、第 4 図に示すと同様の透孔 38 とを共に具えた構成を有し、かくすれば第 3 図及び第 4 図について夫々上述したと同様の効果を合せ有する。

本発明では、第2図乃至第5図については特に図示はしていないが、これ等の構成に於けるピンチオフ領域の電位を、埋設された第1のゲート電極に到達させるに適した電位とするために、特にピンチオフ領域となる部分及びその近傍の基板の不純物濃度を、他の部分より大きくしてある。

次に上述の第1の記憶方法による記憶用トランジスタを任意番地書き込み読出しメモリ(ランダム・アクセス・メモリ)に適用した実施例を、第6図乃至第11図に示す等価回路と共に述べる。

第6図に於て、41は任意番地書き込み読出しメモリの多数のメモリセル中のユニットセルを示し、ユニットセル41は「1」書き込み記憶用トランジスタ Q_1 と、「0」書き込み用トランジスタ Q_2 と、番地選択用トランジスタ Q_3 と、「0」書き込み番地選択用トランジスタ Q_4 とを有し、少なくともトランジスタ Q_1 及び Q_2 は同一半導体基板上に形成されているものとする。

トランジスタ Q_1 は第1図の電界効果トランジスタ7であり、第1図のソース領域3、ドレイン

が「0」書き込み番地選択線Eに接続されている。又トランジスタ Q_2 のゲートが「1」書き込み及び情報読出し番地選択線Wに接続されている。

かかる構成に於て、トランジスタ Q_1 に「1」情報を書込む場合、線Xにトランジスタ Q_1 のドレイン・基板間降服電圧HHよりも絶対値の大きい電圧 V_x を与え、一方線Wに電圧HHよりも絶対値の大きい電圧 V_w を与える。この様なバイアス条件が与えられると、電圧 V_w によりトランジスタ Q_3 が導通し、これを通じて電圧 V_x がトランジスタ Q_1 のドレインdに与えられる。従つて第1図にて上述した様にトランジスタ Q_1 のドレインd及び基板間になだれ降服が生ずることにより、そのゲートg及びこれに接続されたトランジスタ Q_2 の第1ゲート g_1 に電荷が充電される。この場合、トランジスタ Q_1 のゲート従つてトランジスタ Q_2 のゲート g_1 には、基板がn形るとき負電荷が、p形るとき正電荷が、夫々充電される。従つてトランジスタ Q_2 及び Q_1 は、それ等のゲートが夫々その充電状態を保持することにより、爾後導通

領域2及び多結晶層6に順次対応せるソースs、ドレインd及びゲートgを有する。又トランジスタ Q_2 は第2図の本発明による電界効果トランジスタ21であり、第2図のソース領域26、ドレイン領域25、第1のゲート電極28及び第2のゲート電極23に順次対応せるソースs、ドレインd、第1のゲート g_1 及び第2のゲート g_2 を有する。

トランジスタ Q_1 のドレインdはトランジスタ Q_2 のソース(又はドレイン)に接続され、トランジスタ Q_2 のドレイン(又はソース)が番地選択線Xに、トランジスタ Q_1 のソースsが共通接地線Gに夫々接続されている。又トランジスタ Q_2 のソースsはトランジスタ Q_1 のソース(又はドレイン)に接続され、トランジスタ Q_2 のドレインdが、ドレイン(又はソース)を番地選択線Xに、ゲートが「0」書き込み番地選択線Eに夫々接続されたトランジスタ Q_4 のソース(又はドレイン)に接続され、一方第1のゲート g_1 が絶縁膜内でトランジスタ Q_1 のゲートgに、第2のゲート g_2

状態となされる。かくてトランジスタ Q_1 、 Q_2 に「1」情報が書き込まれる。

次にトランジスタ Q_2 によつて「0」情報を書込む場合、線Xに電圧HHよりは低い電圧Hを与え、トランジスタ Q_2 のピンチオフより十分高い電圧Hを与え、一方線Eに電圧HH程度の高い電圧を与える。かくすれば、トランジスタ Q_2 は十分に導通され、これを通じて線Xの電圧 V_x がトランジスタ Q_2 のドレインdに Q_1 をとおして与えられることにより、第2図について上述した様に、トランジスタ Q_2 がピンチオフ状態となり、そのチャネルを流れるキャリアが第1のゲート g_1 従つてトランジスタ Q_1 のゲートに充電される。このときのキャリアの電荷は上述の「1」情報を書込む場合にトランジスタ Q_2 及び Q_1 のゲートに充電された電荷の符号とは逆符号であり、従つてトランジスタ Q_1 (従つて Q_2)は爾後非導通状態となされる。かくしてトランジスタ Q_1 、 Q_2 に「0」情報が書き込まれる。

この様にトランジスタ Q_1 に記憶された「1」又

は「0」情報を脱出する場合、線Wに電圧Hを与える。かくすれば、トランジスタ Q_1 が導通するが、この導通時、トランジスタ Q_1 に「1」が書き込まれているときは、トランジスタ Q_1 が導通状態にあるので、線X—トランジスタ Q_1 —線Gを通じて電流が流れ、一方「0」が書き込まれているときは、トランジスタ Q_1 が非導通であるので、これを通じて電流が流れない。従つて線X及びG間に接続された外部回路（図示せず）により、このときの電流の有無を検出することにより、記憶内容が脱出される。

以上の書き込み又は脱出し態様に於けるユニットセル41のバイアス条件を第1表に要約する。

第 1 表

	V_x	V_a	V_w	V_g
「1」書き込み	HH	H又は0	HH	0
「0」書き込み	H	0	0	~HH
脱出し	H	0	H	H又は0

第7図はユニットセル41の他の実施例で、こ

これ等の構成に於て、トランジスタ Q_1 は第2図について上述した様に、第2ゲート g_2 の電圧が0のとき、チャネル35（第3図）が誘起されないことにより遮断状態となり、一方ゲート g_2 の電圧が電圧HHに近いときはチャネル35により導通状態となる。従つてトランジスタ Q_1 は、トランジスタ Q_2 及び Q_3 （第6図又は第7図）の機能の双方を果し得、依つてトランジスタが1個減つた分ユニットセル全体としての構成を簡易化し得る。尚これ等の場合のバイアス条件は、第1表に示したものを適用すればよい。

上述した第6図乃至第9図の構成に於て、トランジスタ Q_2 及び Q_3 のチャネル長をトランジスタ Q_1 のチャネル長より長くし、「0」書き込み時の電流を予め小さい値に制限するようにすれば、ユニットセル41全体としての消費電力を微小化し得る。

第10図はユニットセル41の更に他の実施例を示す。この場合ユニットセル41は、番地選択及び電流制限用トランジスタ Q_4 と、書き込み及び

の場合第6図に於てトランジスタ Q_2 のソースsとトランジスタ Q_3 のソース（又はドレイン）への接続をはずして、線Gに接続したと同様の構成を有する。従つて対応部分には同一符号を附して示すも、第6図の場合は、「0」書き込み時、トランジスタ Q_1 の第1ゲート g_1 への充電に基づき、トランジスタ Q_1 が非導通になるまでこれを通じてトランジスタ Q_2 のソースsに電流を流す様になされているが、これに対して第7図の場合は、ゲート g_1 に対する充電を線Gを通じて十分に引き得る様にしたものである。

第8図および第9図は、夫々第6図及び第7図のトランジスタ Q_2 及び Q_3 を、単一のトランジスタ Q_4 に置き換えたもので、この場合トランジスタ Q_4 は、第3図又は第5図にて上述した所謂オフセット構造の電界効果トランジスタ21である。この場合トランジスタ Q_4 のドレインdが直接線Xに接続されていることを除いては、夫々第6図及び第7図の構成と同様の構成となされている。

記憶用トランジスタ Q_1 とを有する。トランジスタ Q_4 は通常の絶縁ゲート電界効果トランジスタであり、トランジスタ Q_1 は、第3図及び第5図について上述したオフセット構造の電界効果トランジスタ21である。

トランジスタ Q_4 のソースsはドレイン（又はソース）を共通番地選択線Wに接続されたトランジスタ Q_1 のソース（又はドレイン）に接続され、ドレインdが共通番地選択線Eに接続されている。一方トランジスタ Q_1 の第2ゲート g_2 は共通番地選択線E-Yに、トランジスタ Q_4 のゲートが共通番地選択接続線Yに夫々接続されている。

かかる構成に於て、トランジスタ Q_1 に「1」情報を書込む場合、「0」情報を書込む場合及び脱出する場合の夫々について、第2表の如きバイアス条件を与える。

第 2 表

	V_x	V_w	V_r	V_{er}
「1」書き込み	0又はH	HH	HH	0又は逆符号
「0」書き込み	H	0	~HH又はH	~HH
脱出し	~0	H	H	H

かくすれば「1」書き込み時にはトランジスタ Q_1 のソース s 及び基板間のなだれ降服が生じ、その結果注入されたキャリアにてゲート g_1 を充電することにより「1」書き込みがなされ、又「0」書き込みは線 EY に大なる値の電圧が与えられてトランジスタ Q_1 がピンチオフとなされ、その結果注入されたキャリアにてゲート g_1 を充電することによりなされ、更に読出しは、トランジスタ Q_2 を導通させ、その結果トランジスタ Q_1 に電流が流れるか否かに応じて、流れれば「1」情報を、流れなければ「0」情報を夫々読出すものである。

第10図の構成に依れば、トランジスタの数が単に2個だけで済むので、ユニットセル41の簡易化を更に促進し得る。

第11図はユニットセル41の更に他の実施例で、この場合、トランジスタ Q_1 と並列にこれと同じチャネル形のトランジスタ Q_2 を接続し、トランジスタ Q_1 のゲートを W 線に、トランジスタ Q_2 のゲート g_2 と Q_1 のゲートとを Y 線に夫々接続し、又線 EY を省略したことを除いては第1

電圧 V_Y があたえられる様になされている。

従つて「1」書き込み時トランジスタ Q_1 が導通してこれを通じて線 W の電圧 V_W がトランジスタ Q_1 のソース s に与えられ、且線 Y の電圧 V_Y が第2ゲート g_2 に与えられてトランジスタ Q_2 に「1」が書き込まれる。又「0」書き込みは線 Y の電圧 V_Y によりトランジスタ Q_1 及び Q_2 を導通状態にして更に線 E の電圧 V を H 状態にしてトランジスタ Q_1 のピンチオフ状態を得、更に読出しはトランジスタ Q_2 を導通させ、その結果トランジスタ Q_1 に電流が流れるか否かに応じて、流れれば「1」を、流れなければ「0」を読出すものである。

以上第1の記憶方法に依り埋込ゲート電極に2種のキャリアを必要に応じて到達させるにつき、ドレイン及び半導体基板間又はソース及び基板間接合のなだれ降服によるキャリアの注入と、半導体表面のチャネルのピンチオフ領域からのキャリアの注入との何れかを、書き込むべき情報に応じて生じさせることによつて不揮発性メモリの書き込み・書き換えをなし得ることが明らかとなつた。又第2

0図の構成と同様の構成を有する。

かかる構成に於て、トランジスタ Q_1 に情報を書き込み、又はこれを読出す場合のバイアス条件を第3表に示す関係とする。

第 3 表

	V_s	V_W	V_Y
「1」書き込み	0又はH	HH	0又は逆符号(非選択番地はH又はHH)
「0」書き込み	H	0	HH又はH
読出し	~ 0	H	H

ここで、トランジスタ Q_1 は、そのソース s に線 W の電圧 V_W が与えられた「1」書き込み時に於て、 Y 線の電圧 V_Y 従つて第2ゲート g_2 の電圧が0の場合に比し、 $H \sim HH$ の場合のソース接合のなだれ降服電圧が、 $H \sim HH$ の数分の1に相当する様な程度だけ大きくなる様になされている。そして線 Y には共通線 W に接続されている全てのユニット中「1」書き込みをすべきユニットを除く他のユニットの線 Y には H 又は HH の電圧 V_Y が与えられ、指定された番地の線 Y のみに0又は逆符号の

図～第11図についてこの記憶方法を具現化する為の記憶用トランジスタ及びユニットセルを説明したが、次に本発明に依る第2の記憶方法について詳述しよう。

第2の書き込み・書き換え方法は絶縁物中に埋込まれた物質に順次2種の電荷を充電するにつき、埋込まれた物質下に不純物濃度関係又は材料関係の異なる2種の接合を設け、これ等接合のなだれ降服によつて絶縁物中に互に異なる2種のキャリアを夫々注入せしめる様にするものである。

かかる方法を実現する記憶用電界効果トランジスタの一例を第12図に符号45にて示す。トランジスタ45は半導体基板24とは逆符号の伝導形ソース領域26及びドレイン領域25を有し、基板24上のゲート絶縁膜22及びこれと連続する絶縁膜27間に第1のゲート電極28が埋込まれていることは、第1図の構成と同様である。所でこの場合は、ソース領域26内にこのソース領域26とは伝導形が異なり且濃度の高い不純物を有する領域46を形成するものである。これに対

しソース領域28の不純物濃度はゲート電極28の厚さよりも厚い空乏層47が領域28との間に広がる様に低い値に選ぶ。

上述の構成に於て、ドレイン領域25及び基板24間の接合に於けるゲート電極28下の基板表面近傍の領域に於てなだれ降服を生起すれば、第1図について上述したと同様に、その領域から絶縁膜22中に基板24のキャリアが注入され、これにより電極28が1の充電状態に充電される。

この充電状態ではゲート電極28の領域28の表面は反転チャネルが誘起され難い方向に変化しており、後述するように第1のゲート電極上に絶縁膜を介して第2のゲート電極を設けた場合のこの第2のゲート電極からみた、領域48、領域24の表面をソース、ドレインとする電界効果トランジスタの閾値電圧はよりエンハンスメント方向に変化している。

一方同様に、ソース領域28及びその中に形成された領域48間の接合に於ける電極28下の領域48に於てなだれ降服を生起すれば、この領

ことにより、必要に応じて任意に記憶内容を書き直すことができる。

依つてこの第2の方法に依つても上述の第1の方法と同様の効果を得ることができる。

尚第12図の構成に於て、領域48を半導体基板24、領域28とは異なる物質にて形成したヘテロ接合、ショットキ接合等により接合を得る様にしても、上述の場合と同様の効果を得ることができることは明らかであろう。

更に、2種のpn接合としてトランジスタのエミッタ接合とコレクタ接合を用いる場合の実施例を第13図に示す。図において埋込電極28はゲート絶縁膜22を介してエミッタ領域108とベース領域105との間の接合(エミッタ接合と呼ぶ)の半導体表面と接した部分の一部109と、ベース領域105の表面の一部とベース領域105とコレクタ領域102との間の接合(コレクタ接合と呼ぶ)の半導体表面と接した部分の一部108とを覆うように配置され、埋込電極28はゲート絶縁膜22とそれと連絡した絶縁膜27の中

域48から絶縁膜22中に、ソース領域28のキャリア(その電荷は基板24から注入されたキャリアの符号とは逆符号)が注入され、これにより電極28が他の充電状態に充電されることになる。

この充電状態ではゲート電極28下の基板表面は反転チャネルが誘起され難い方向に変化しており、後述のように第1のゲート電極の上に絶縁膜を介して第2のゲート電極を設けた場合、この第2ゲートからみたゲート閾値電圧はよりエンハンスメント側に変化しているので、一度も書き込みを行わないときの閾値電圧をエンハンスメントに設計しておき、この閾値電圧と領域48でのなだれ降服後のゲート閾値電圧との間に第2のゲート電極の電圧を設定しておけば、アレイ構成中の1つの番地のトランジスタを複雑なユニットセル構成なしに読出すことができる。

この様に互に異なる充電状態が得られることにより、この電界効果トランジスタ45に依つても情報の書き込みをなし得、しかも電極28の1の充電状態は他の充電状態(又はその逆)に再充電する

に埋込まれている。

エミッタ領域108をベース領域105に關して逆バイアスし、エミッタ接合の表面部分109においてアバランシェ降服を生じせしめることにより、ベース領域105における多数キャリア(n p p トランジスタにおいては正孔、p n p トランジスタにおいては電子)が絶縁膜22に注入され、埋込電極28を充電する。ベース領域105をコレクタ領域102に關して逆バイアスして、コレクタ接合の表面部分108においてアバランシェ降服を生じせしめることにより、コレクタ領域102における多数キャリアが絶縁膜22に注入され、埋込電極28を上述とは逆の符号の方向に充電する。これらの2つの充電状態をそれぞれ情報の「1」又は「0」とに対応させて、蓄積すべき又は書き込むべき情報に応じて、アバランシェ降服を生じせしめる接合を選ぶ。

情報の検出方法は、一定のベース電流を流したときのコレクタ電流の大、小で「1」「0」を判定する。これはバイポーラ・トランジスタの電流増幅

率がベース領域の表面状態に著しく依存することを用いている。すなわち、逡込電極28の充電状態に、その下のベース領域表面の状態が依存することを用いている。逡込み電極がより正に充電されているときは、他の充電状態にくらべてnpnトランジスタでは電流増幅率が小さく、したがってコレクタ電流の値も他の充電状態にくらべて小さい。pnpトランジスタの場合はこの逆となる。

第13図に示す実施例では、すくなくとも逡込電極28下のエミッタ領域106、ベース領域105、コレクタ領域102はこの順序で不純物濃度が小さくなるように作られる必要がある。空乏層がエミッタ接合ではよりベース領域の方へ、コレクタ接合ではよりコレクタの方へ夫々広がり、そこからキャリアが注入される必要があるからである。しかし逡込ゲート電極28下以外の部分ではコレクタコンタクト107、コレクタ逡込層101のようにベース領域105より不純物濃度が濃くてもよいし、ベース領域の下側へ層101の如き不純物濃度の濃い領域が設けられている場合

とするように基板からコレクタ領域102が構成された場合でも記憶素子としての機能は充分果すことが可能である。

次に第12図について上述した記憶方法による記憶用トランジスタを任意番地逡込み脱出しメモリに適用した実施例を、第14図乃至第18図と共に述べよう。

第14図に於て、50はメモリ中の多数のメモリユニットセルの1つを示し、ユニットセル50は、番地選択用トランジスタ Q_{11} と、記憶用トランジスタ Q_{10} と、電流制限用トランジスタ Q_{12} とを有する。

トランジスタ Q_{10} は第14図に対応せしめて第15図に示す如く、ドレイン領域25、ソース領域26及び第1のゲート電極28に順次対応するドレインd、ソースs及びゲートg₁を有する。この場合トランジスタ Q_{12} はトランジスタ Q_{10} のソース領域26(第15図)内にその伝導形とは異なる伝導形の領域51を形成し、この領域51をドレインd、領域46をソース、ゲート絶縁膜

は領域106をコレクタとし、領域101及び102をエミッタとして使うことができる。この場合は不純物濃度関係が第1のゲート電極28下の表面では逆になる。なお、104はベースコンタクトのためおよびチャネル(領域105上に生ずる可能性のある)遮断のための領域であり、103は分離層、100は基板である。

領域105の表面にチャネルが生じるときは領域105をチャネル形成領域、領域106、102の一方をソース、他方をドレインとした記憶用電界効果トランジスタとして動作する。又第12図においても同様に領域28の表面に後述の如くチャネルが生ずることがあるので、このときは領域28をチャネル形成領域とし、領域46、基板24の一方をソース、他方をドレインとした電界効果トランジスタとして動作する。

尚第13図は分離されたトランジスタ構造を示しているが、分離層103とコレクタ逡込層101がなく、例えば第12図において領域46をエミッタ、領域28をベース、基板24をコレクタ

52上のゲート電極53をゲートとした電界効果トランジスタでなる。尚上述にて明らかな様に第15図の構成はソース領域26内にトランジスタ Q_{12} を構成したことを除いては、第12図と同様の構成を有するものである。

トランジスタ Q_{10} のドレインdは、ドレイン(又はソース)を共通逡込み線Wに、ゲートを共通番地選択線Yに夫々接続されたトランジスタ Q_{11} のソース(又はドレイン)に接続され、又ソースsが共通接地線Gに接続されている。又はソースsをしてトランジスタ Q_{10} のソースs内に形成接続されたトランジスタ Q_{12} のドレインdと、そのゲートgとが共通消去線Eに接続されている。

第14図の構成に於て、ユニットセル50に対して第4表に示す如きバイアス条件を与えるものである。

第 4 表

	V_w	V_s	V_T
「1」逡込み	H ⁺⁺	0	H ⁺⁺
「0」逡込み又は消去	0	H ⁺⁺	0
脱出し	H ⁻	0	H ⁻

尚第4表に於て、 H^{++} は領域46(第15図)の接合の半導体表面における降服電圧よりも高い電圧を示し、 H^{-} は絶対値がトランジスタ Q_{10} のドレイン接合の降服電圧よりも大きな負の電圧を示し、 H^{-} は絶対値がトランジスタ Q_{10} のドレイン接合の降服電圧よりも小さい負の電圧を示す。

又第4表に於ては、トランジスタ Q_{10} 及び Q_{11} がpチャネル、 Q_{12} がnチャネルの場合を示したが、これ等チャネルの符号が逆の場合は、電圧 V_w 、 V_s 及び V_r の符号を逆にすればよい。

かくすれば、「1」書込み時トランジスタ Q_{11} が導通し、これを通じて、線Wの電圧 V_w がトランジスタ Q_{10} のドレインdに与えられることにより、そのドレイン接合になだれ降服が生じてトランジスタ Q_{10} が「1」の充電状態となる。かくしてトランジスタ Q_{10} に「1」情報が書込まれる。一方「0」書込み時トランジスタ Q_{12} が導通状態となり、これを通じてソース領域26(第15図)内の領域46に線Eの電圧 V_s が与えられることにより領域26及び46間の接合になだれ降服が生じ、ト

寄生チャネルが形成されるおそれを有効に回避し得る。

尚この場合拡散層54からコンタクトをとる様にしても良い。

第12図について上述した本発明方法によるユニットセル50の他の実施例を第17図について述べる。

この場合ユニットセル50は記憶用トランジスタ Q_{10} と、番地選択及び電流制限用トランジスタ Q_{11} 及び Q_{14} とを有する。實際上このユニットセル50の多数を第18図に示す如く共通の半導体基板80上に集積して集積回路を構成することができる。

トランジスタ Q_{10} は、ソース領域26内の領域46がその延長部61を介して基板80に電気的に接続されていることを除いては第12図の電界効果トランジスタ45と同様の構成を有する。トランジスタ Q_{11} はそのソース領域をトランジスタ Q_{12} のドレイン領域25と共通となされ、ドレイン領域62と、ゲート絶縁膜63と、ゲート電極

ランジスタ Q_{10} が「0」の充電状態となる。これ等の充電状態は互に他の充電状態に転換されるまでそのまま保持される。又読出し時トランジスタ Q_{11} が導通されるもこの場合はW線に印加される電圧が小さいのでトランジスタ Q_{10} のドレイン接合にはなだれ降服が生ぜず、その結果トランジスタ Q_{10} を通じて電流が流れれば、「1」を読出し、流れなければ「0」を読出し得る。

この様に、第2の書込・書換え方法に依るメモリユニットセルによつても、第1の方法について上述したと同様の効果を得ることができる。

尚第14図に於てはトランジスタ Q_{12} のゲートを線Eに接続したが、これに代え、ゲートを別途設けられた他の番地選択線に接続する様にしても良いことは明らかであろう。

第16図は第15図の変形例で、この場合第15図のソース領域26の周囲に基板24又はソース領域よりも表面不純物濃度の濃い拡散層54を設けたものである。かくすれば第15図の構成と同様の作用効果を得ることができると共に、更に

64とでなる。又トランジスタ Q_{14} はトランジスタ Q_{12} のソース領域26の一線部に形成されたドレイン領域65と、ソース領域66と、ゲート電極67と、ゲート絶縁膜68とでなる。

トランジスタ Q_{10} のドレインdはトランジスタ Q_{11} を介して共通「1」書込み線Wに、ソースsはトランジスタ Q_{14} を介して共通接地・書込線Eに夫々接続され、又トランジスタ Q_{11} 及び Q_{14} のゲートは夫々共通番地選択線Y及びEYに接続されている。

上述の構成のユニットセル50に於て、これに対して第5表に示すバイアス条件を与えるものである。

第 5 表

	V_w	V_s	V_r	V_{sr}
「1」書込み	HH	0	HH	0
「0」書込み	0	HH	0	HH
読出し	H	0	H	H

かくすれば、「1」書込み時はトランジスタ Q_{11}

を介してトランジスタ Q_{11} に「1」を書込み、又「0」書き込み時はトランジスタ Q_{14} を介して「0」を書込み、更に読出し時はトランジスタ Q_{11} 及び Q_{14} を共に導通状態として、トランジスタ Q_{11} に電流が流れれば「1」情報を、流れなければ「0」情報を夫々読出すことができる。この場合トランジスタ Q_{11} 及び Q_{14} はトランジスタ Q_{11} のドレイン接合及び領域48の接合に流れる電流を制限する。

上述の如く第12図～第18図の構成に依れば第12図について上述した第2の方法を十分に具現化し得るメモリユニットセルを得ることができる。

尚第12図乃至第18図の構成に於て、トランジスタ45及び Q_{12} の絶縁膜27上に、例えば第2図に於ける第2ゲート電極23と同様の第2ゲート電極を設けても良く、この場合は上述の効果に加えて更にこのゲート電極による電界によつて、なだれ降服にて生じたキャリアを加速し、これにより書き込み速度を向上せしめる様にすることができる。

圧よりも高くすることができることにより、動作の安定なメモリユニットセルを得ることができる。

本発明方法に依る第19図に示す電界効果トランジスタ70を用いて実験した結果、第20図に示す関係が得られた。この場合、半導体基板24は不純物濃度 5×10^{13} 個/cm³のn形でシリコンでなり、ソース領域26の領域48との接合附近の表面不純物濃度を略々 10^{16} 個/cm³、ゲート絶縁膜(SiO_2)22の厚さ t_1 を約1000Å、絶縁膜(SiO_2)27の厚さ t_2 を約1000Å、チャネル長 L を約10μとし、埋込みゲート電極(Si)の電圧が基板24に対して、「1」書き込みの場合の0Vから-4V相当へ、「0」書き込みの場合-4Vから0V相当へ夫々変化するに要する時間を測定し、その結果を第2のゲート23(A¹)及びソース領域26(P)の端子電圧 V_0 に対する時間 t として表わしたものである。

尚第20図に於て、符号Iは、ドレイン端子D及びソース端子sを接地し、基板端子Bに正バイアスを与え、ソース領域26及び領域48間接合

第12図乃至第19図の構成において図示の如く領域28は領域25よりも第1ゲート電極に対向する部分の面積が広く設計されており、領域48及び28間の接合の雪崩降服によつて情報の書換を行うとき、第1ゲートの電位が領域28の電位に追従して書込を効率良く行えるようになってゐる。

尚上述に於ては特に述べなかつたが、本発明による記憶装置に於ては、第1ゲート電極28を有する記憶用電界効果トランジスタが形成された同一の半導体基板に、その他のトランジスタを形成してメモリユニットセルを構成せしめる様な場合、例えば第18図に示した様な場合は埋込まれた第1ゲート電極28を有するトランジスタ Q_{11} のゲート絶縁膜22の厚さより、その他の埋込まれたゲート電極を有しない番地選択用のトランジスタ Q_{11} 及び Q_{14} のゲート絶縁膜83及び88の厚さを厚くするものである。かくすれば他のトランジスタ Q_{11} 及び Q_{14} のドレイン接合の降服電圧を第1ゲートを有するトランジスタ Q_{11} の降服電

の逆方向電流を100μAとした場合に得られた曲線を、符号IIは基板端子Bを接地し、ドレイン端子Dに負バイアスを与え、ソース端子sに少し負バイアスを与え、基板24及びドレイン領域25間接合の逆方向電流を10μAとした場合に得られた曲線を、夫々示す。

この測定結果から、第1に「1」又は「0」情報の何れをも書き込み、書き直しをすることができ、しかもこれ等の記憶は不揮発性であること、第2に第2ゲート電極23を設けることによつて書き込み時間を格段的に高速化し得ること、第3に書き込み時間は降服を起している接合のアバランシェ電流に反比例して小さくなることが実証された。

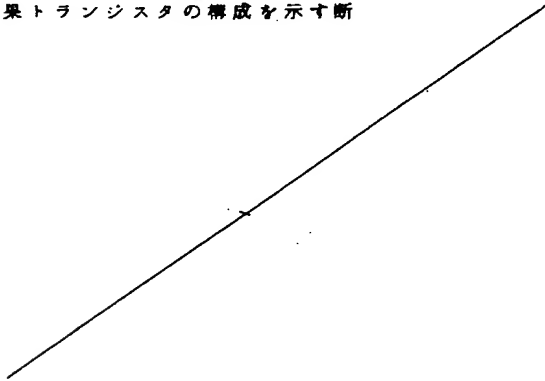
上述の如く本発明に依れば、半導体メモリが本来有している読出しの高速性と、従来磁気メモリによつてしか実用化されていながつた記憶の不揮発性とを兼ね備えた半導体メモリを得ることができ、かかるメモリを製作するにつき、従来のシリコンゲート技術又はモリブデンゲート技術を用い、他に何等特殊な技術を要することなく、容易に高

密度に製作することができるものである。さらに、ピンチオフ領域となる部分及びその近傍の基板の不純物濃度を他の部分より大きくしたので、第1のゲート電極へのキャ^リ電荷の注入が容易になる。

以上の説明では記憶内容が「1」と「0」のデジタル情報であつたが不揮発性アナログ情報の記憶に用いることもできることは明らかであろう。

4. 図面の簡単な説明

第1図は従来の情報書き込み方法の説明に供する電界効果トランジスタを示す断面図、第2図乃至第5図は本発明方法を実現する為の記憶用電界効果トランジスタの構成を示す断

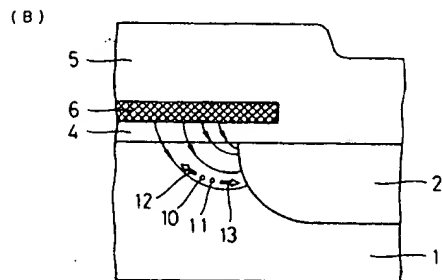
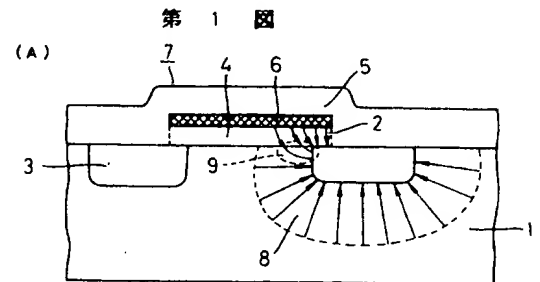


図中、21、45、70…記憶用電界効果トランジスタ、22…ゲート絶縁膜、23…第2のゲート電極、24…半導体基板、25…ドレイン領域、26…ソース領域、27…絶縁膜、28…第1のゲート電極、29、47…空乏層、30、35、38…チャネル、31、39、39'…ピンチオフ領域、36…透孔、41、50…メモリユニットセル、 $Q_1 \sim Q_{16}$ …トランジスタ。

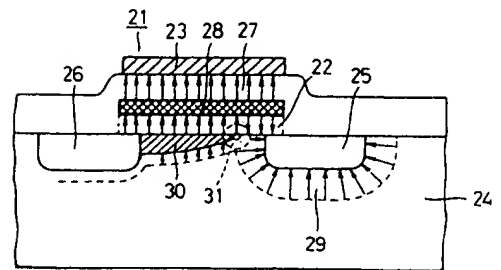
指定代理人 電子技術総合研究所長 等々力



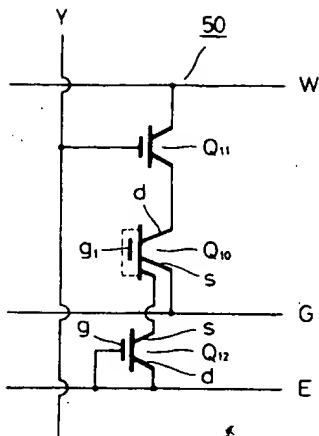
面図、第6図乃至第11図は第2図乃至第5図に示す記憶用電界効果トランジスタを含んで構成したメモリユニットセルの一例を示す等価回路図、第12図は本発明に依る不揮発性メモリの記憶方法の他の例の説明に供する記憶用電界効果トランジスタを示す断面図、第13図は本発明方法を実現する為の記憶用バイポーラトランジスタの構成を示す断面図、第14図は第12図の記憶用電界効果トランジスタを含んで構成したメモリユニットセルの一例を示す等価回路図、第15図及び第16図は第14図のメモリユニットセルを同一半導体基板上に形成した場合の構成を示す断面図、第17図は第14図のメモリユニットセルの他の例を示す等価回路図、第18図(A)及び(B)は夫々第17図のメモリユニットセルを集積回路に構成した場合の平面図及びそのB-B線上の断面図、第19図及び第20図は本発明方法の一例による実験結果を示す図である。



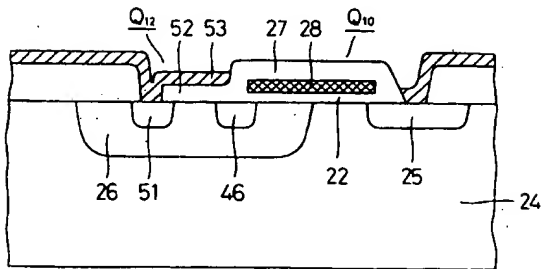
第2図



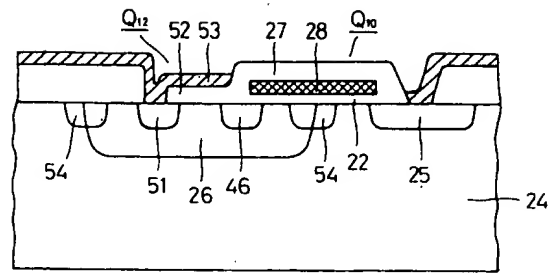
第 14 図



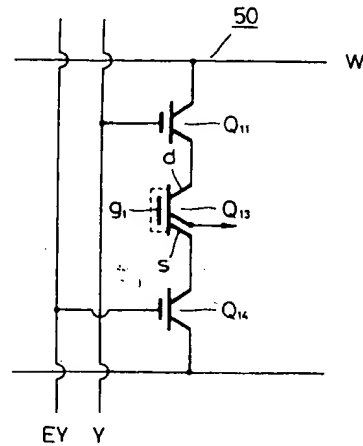
第 15 図



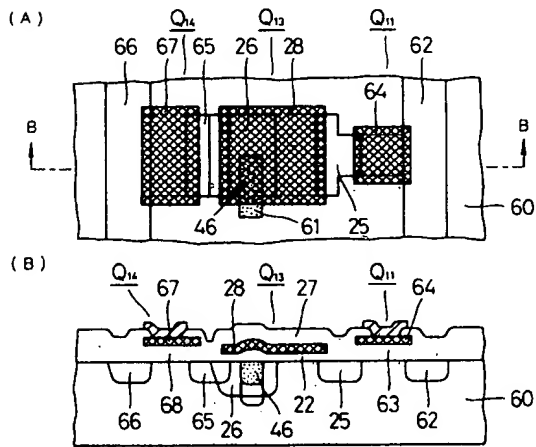
第 16 図



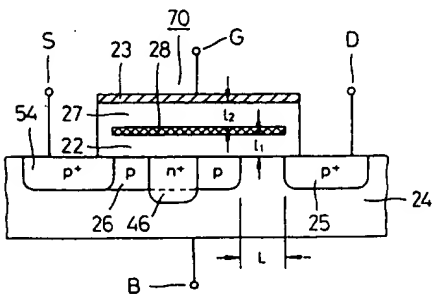
第 17 図



第 18 図



第 19 図



第 20 図

